

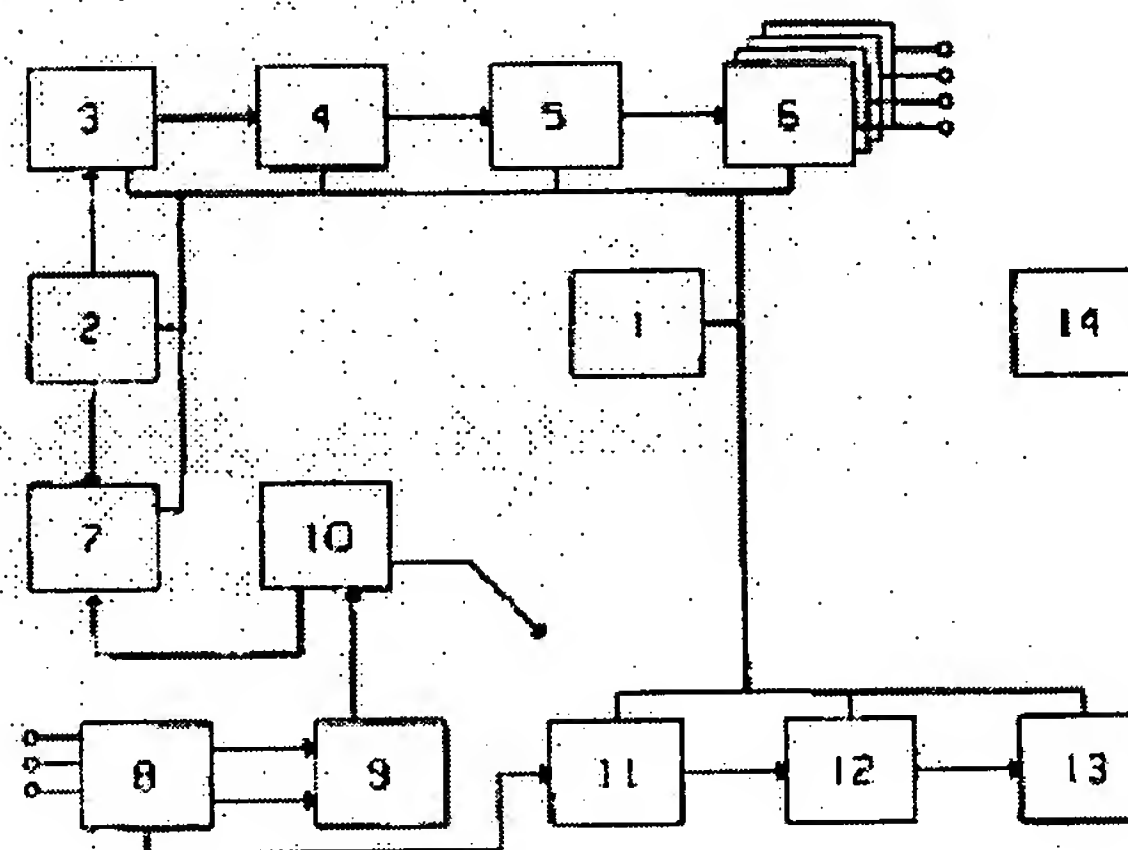
## Bit error rate measurement system - has PLL synthesiser coupled in loop to provide signals for data rate

**Patent number:** DE4016173  
**Publication date:** 1991-11-21  
**Inventor:**  
**Applicant:** TKM TELEKOMMUNIKATION UND ELEK (DE)  
**Classification:**  
- **international:** H04J3/14; H04L7/02  
- **european:** H04J3/14  
**Application number:** DE19904016173 19900519  
**Priority number(s):** DE19904016173 19900519

**Report a data error here**

### Abstract of DE4016173

The system has a PLL synthesiser (2) that has an output frequency that can be set within a range and is then frequency divided (3) to generate a required bit rate for transmission. A pattern generator (4) coupled to the computer provides a test signal with data words of a particular length. An encoder (5) converts the signals into a standard code format for output (6). Inputs (8) are received by a pulse processing stage (9) that allows the loop around the PLL synthesiser to be closed. A decoder (11) coupled to a comparator (12) allows the bit rate error to be determined. **ADVANTAGE** - Operation with various codes. Large frequency bandwidth.



Data supplied from the **esp@cenet** database - Worldwide

**THIS PAGE BLANK (USPTO)**



①⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Patentschrift**  
⑩ **DE 40 16 173 C 2**

⑤① Int. Cl. 5:  
**H 04 J 3/14**  
H 04 L 7/02  
H 04 L 29/14  
H 04 L 1/00

②① Aktenzeichen: P 40 16 173.0-31  
②② Anmeldetag: 19. 5. 90  
④③ Offenlegungstag: 21. 11. 91  
④⑤ Veröffentlichungstag  
der Patenterteilung: 5. 11. 92

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦③ Patentinhaber:

TKM Telekommunikation und Elektronik GmbH, 4050  
Mönchengladbach, DE

⑦④ Vertreter:

Meyer, L., Dipl.-Ing.; Vonnemann, G., Dipl.-Ing.  
Dr.-Ing., Pat.-Anwälte, 2000 Hamburg

⑦② Erfinder:

Berger, Johannes, 4050 Mönchengladbach, DE;  
Stüber, Thomas, 7135 Würzburg, DE

⑤⑥ Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:

DE 29 35 353 C2  
DE 20 58 098 B2  
DE 35 43 826 A1

DE-Z.: Bitfehler in digitalen Netzen messen, IN: der  
elektroniker, Nr. 12/1988, S. 88;

⑤④ Bitfehlermeßgerät zur Ermittlung der Bitfehlerrate digitaler Signalübertragungsstrecken

DE 40 16 173 C 2

DE 40 16 173 C 2

Die Erfindung betrifft ein Bitfehlermeßgerät zur Ermittlung der Bitfehlerrate digitaler Signalübertragungsstrecken nach dem Oberbegriff des Anspruchs 1.

Im Vergleich zu einem analogen Signal ist eine digital übertragene Information gegenüber Signalverzerrungen und Störeinflüssen wesentlich weniger empfindlich. Allerdings sind auch digitale Signalübertragungsstrecken in der Regel bandbegrenzt und schwankenden Streckendämpfungen ausgesetzt. Daher ist es erforderlich, das zu übertragende digitale Signal durch einen Leitungscode so umzuwandeln, daß beispielsweise kein Gleichwertanteil entsteht oder die Zahl der maximal aufeinander folgender Bits gleicher Wertigkeit begrenzt ist.

Ein einfacher Leitungscode ist der sogenannte NRZ-Code, der die Eigenschaft hat, daß Bits mit Wertigkeit "1" auch im Code die Wertigkeit "1" und Bits mit der Wertigkeit "0" auch im Code die Wertigkeit "0" besitzen. Daraus ergibt sich der Nachteil, daß die Frequenzen des NRZ-Leitungscode bis zur Frequenz Null gehen und andererseits es unter Umständen schwierig ist, aus dem empfangenen NRZ-Signal den Takt zu regenerieren, da bei längeren Signalfolgen gleicher Wertigkeit die Taktinformation in der empfangenen Impulsfolge fehlt.

Durch Umcodierung eines NRZ-Codes kann ein sogenannter AMI-Code erzeugt werden, bei dem aufeinanderfolgende "1"-Werte abwechselnd als "+1" und "-1" gesendet werden. Über einen längeren Zeitabschnitt wird damit der Gleichanteil des Signals zu Null. Durch den Polaritätswechsel kann aus ursprünglich durchlaufenden "1"-Werten der Bittakt regeneriert werden. Der AMI-Code hat außerdem den Vorteil, daß das Empfängersignal leichter auf Codeverletzung geprüft werden kann. Bei längeren "0"-Folgen fehlt allerdings auch bei der AMI-Codierung die Taktinformation.

Ein aus dem AMI-Code hervorgehender Leitungscode, der als HDB-3-Code bezeichnet wird, weist diese Nachteile nicht auf, da hier lediglich drei "0"-Elemente nacheinander auftreten können. Bei diesem Code werden längere "0"-Folgen in Blöcke von je vier Bit aufgeteilt und gesendet, wobei das vierte Bit jeweils entgegen der AMI-Codiervorschrift umgekehrt wird.

Ein derartiger HDB-3-Code wird insbesondere im PCM-Multiplexsystemen zur Sprachsignalübertragung verwendet.

Zur Feststellung der Bitfehlerrate von digitalen Signalübertragungsstrecken, z. B. Richtfunkstrecken oder Datenleitungen, ist es bekannt, vorgewählte Datenmuster über die Übertragungsstrecke zu senden und am Ende der Übertragungsstrecke die Zahl der gestörten Datenwörter mit der Gesamtzahl der übertragenen Datenwörter zu vergleichen. Der gefundene Meßwert stellt die Bitfehlerrate dar. Diese Meßgröße erlaubt eine Aussage über die Qualität der Übertragungsstrecke.

Ein universelles Bitfehlermeßgerät, das für verschiedene Leitungscode einsetzbar ist und eine eindeutige Taktrückgewinnung bei beliebigen Datenworten gestattet, ist in der Regel sehr aufwendig. Bekannte Bitfehlermeßgeräte begnügen sich daher damit, die Bitfehlerrate bei festen Taktfrequenzen zu ermitteln.

Die Firmenschrift PF5 Fehlermeßgerät der Firma Wandel & Goltermann beschreibt ein Bitfehlermeßgerät mit einem Frequenzsynthesizer, mit dessen Ausgangsfrequenz nach Frequenzteilung die Taktfrequenz eines Meßsignals bestimmt ist. Das Meßsignal enthält ein wählbares Datenwort, das wiederholt auf die Meß-

strecke gegeben wird. Das am Ende der Übertragungsstrecke empfangene Signal wird dann auf Übereinstimmung mit dem ausgesendeten Signal bzw. Richtigkeit geprüft. Bei Ausbleiben des Taktes wird ein Alarmsignal angegeben.

Die DE 29 35 535 offenbart eine Einrichtung zum Synchronisieren des Empfangsbittaktes eines Datenempfängers, bei der ein mit der N-fachen Frequenz der Nennbitrate des Datensignals schwingender Quarzoszillator in seiner Phase durch die Schaltflanken des Eingangssignals gesteuert werden kann. Zur weiteren Verarbeitung des Eingangssignals wird daher jeweils der auf diese Weise künstlich erzeugte Takt phasengeregt aus dem Quarzoszillator abgeleitet. Es ist nicht vorgesehen, den Takt des Eingangssignals selbst für die weitere Verarbeitung aufzubereiten.

Aus der DE 35 43 826 ist eine Schaltungsanordnung für eine bei digitalen Übertragungsstrecken verwendbare Phasenregelschleife bekannt, bei der die Phase eines spannungsgesteuerten Oszillators mit Hilfe eines Phasendetektors mit der Phase eines Eingangssignals verglichen und nachgeregelt wird, bei der bei Auftreten von Störungen durch Umschalten einer Umschalteinrichtung der Übertragungstakt als Phasenvergleichssignal der Phasenregelschleife vom Oszillator der Phasenregelschleife abgeleitet wird und so lange verwendet wird, bis nach einer bestimmten Zeit die Umschalteinrichtung wieder auf den Übertragungstakt des Eingangssignals zur Verwendung in der Phasenregelschleife umschaltet.

Aus der DE 20 58 098 ist ein Verfahren zum Prüfen eines im Kurzschluß nach dem PCM-Verfahren arbeitenden Vielkanalendgerätes bekannt, bei dem während der Kurzschlußprüfung das Aussenden der Synchronisierzeichen einerseits und das Empfangen der Synchronisierzeichen andererseits über Sende- bzw. Empfangsteile verschiedener Kanaleinrichtungen erfolgt. Hierbei ist das über die Übertragungsstrecke gegebene Prüfsignal erkenn- und auswertbar. Auf welche Weise eine Erkennung und Auswertung erfolgt, ist dieser Entgegenhaltung nicht zu entnehmen.

Ausgehend von der genannten Firmenschrift liegt der Erfindung die Aufgabe zugrunde, ein Bitfehlermeßgerät zur Ermittlung der Bitfehlerrate digitaler Signalübertragungsstrecken anzugeben, das bei geringen Kosten universell bei einer großen Taktfrequenzbandbreite verwendbar ist, unterschiedliche Leitungscode sowie Datenworte zuläßt und sowohl bei geschlossenen als auch einseitig gerichteten Übertragungsstrecken verwendbar ist.

Diese Aufgabe wird durch die im Anspruch 1 angegebene Erfindung gelöst. Vorteilhafte Weiterbildungen der Erfindung sind in Unteransprüchen angegeben.

Die Erfindung ermöglicht eine Bitfehlerratenerkennung über einen sehr großen Frequenzbereich von beispielsweise 100 Hz bis 50 MHz. Es können eine Vielzahl von Datenworten der unterschiedlichsten Codes mit unterschiedlichen Datenwortlängen verwendet werden. Insbesondere bei einseitigen Übertragungsstrecken ist es nicht erforderlich, daß in der Auswerteeinheit das zu prüfende Datenwort bekannt ist, da gemäß einem Merkmal des Patentanspruchs 1 das empfangene Datensignal einem rückgekoppelten Schieberegister zugeführt wird, in dem aufeinanderfolgende Datenworte miteinander zyklisch auf Übereinstimmung verglichen werden. Die absolute Kenntnis des übertragenen Datenwortes ist dabei ohne Belang.

Bei einer geschlossenen Übertragungsstrecke kann

das empfangene Datenwort unmittelbar mit dem ausgesendeten Datenwort verglichen werden, es kann jedoch auch hier ein zyklischer Vergleich aufeinanderfolgender Datenworte durchgeführt werden. Das Taktsignal des empfangenen Signals kann entweder unmittelbar aus dem ankommenden Signal abgeleitet werden oder es kann auch bei fehlendem Taktsignal, z. B. bei Verwendung bestimmter Übertragungs\_codes, oder gestörtem Taktsignal ein Empfangstakt aus dem sendeseitig verwendeten Taktsignal abgeleitet werden.

Bei einseitig gerichteten Übertragungsstrecken ist auf der Empfangsseite ein PLL-Frequenzsynthesizer vorgesehen, dessen Ausgangsfrequenz so lange beibehalten bleibt, bis sich die Möglichkeit eines Taktabgleichs mit dem Takt des empfangenen Signals ergibt. Auch für diesen Fall besteht die Möglichkeit, eine große Variationsbreite von Taktfrequenzen bei verschiedenen Datenworten und Datenwortlängen zu verwenden.

Bei einer Messung wird im Sendeteil des Gerätes ein zufällig oder gezielt generiertes Datenwort bestimmter Länge und Geschwindigkeit über einen nachfolgenden Codierer und geeigneten Treiber auf die zu bewertende Übertragungsstrecke gegeben und ständig wiederholt. Im Empfangsteil wird das Signal nach Durchlaufen einer Eingangsstufe und einer Taktrückgewinnung einem Decodierer zugeführt, dem eine Vergleichsstufe nachgeschaltet ist. Hier werden die nacheinander eintreffenden Datenworte miteinander verglichen. Abweichungen zwischen den Datenworten werden von einem Zähler registriert und auf die Zahl der übertragenen Datenworte bezogen. Damit kann unmittelbar die Bitfehlerrate der zu prüfenden Übertragungsstrecke ermittelt werden.

Die Erfindung wird nachstehend anhand eines Ausführungsbeispiels näher erläutert. Es zeigt:

Fig. 1 ein Blockschaltbild der erfindungsgemäßen Einrichtung,

Fig. 2 eine Darstellung zur Erzeugung eines Taktsignals auf der Sendeseite und

Fig. 3 eine Darstellung zur Regenerierung des Taktsignals auf der Empfangsseite.

Die in Fig. 1 dargestellte erfindungsgemäße Einrichtung weist einen Rechner 1 auf, der der Steuerung der Einrichtung, der Vorgabe des zu wählenden Leitungscodes, der verwendeten Art und Länge der Datenwörter sowie der Auswertung der Fehlersignale dient.

Es ist ein PLL-Frequenzsynthesizer 2 vorgesehen, dessen Frequenz in weiten Bereichen einstellbar ist. Dem Frequenzsynthesizer 2 ist ein umschaltbarer Teiler 3 nachgeordnet, in dem die vom PLL-Frequenzsynthesizer erzeugte Frequenz auf den gewünschten Wert heruntergeteilt werden kann. Durch die Verwendung des PLL-Frequenzsynthesizer 2 und des nachgeschalteten Teilers 3 kann ein Frequenzbereich von beispielsweise 100 Hz — 50 MHz abgedeckt werden, ohne daß es verschiedener Oszillator-Schaltungen bedarf. Durch die gewählte Frequenz wird die verwendete Bitrate bestimmt.

In einem Patterngenerator 4 wird vom Rechner mit einem per Zufallsgenerator oder einem bewußt vom Anwender gewählten Testdatenwort ein Meßwort generiert. Das Datenwort kann in seiner Länge frei gewählt werden. Zum besseren Vergleich mit bestehenden Bitfehlermeßgeräten werden Datenwortlängen von 8, 10, 15 oder 23 Bit bevorzugt. Die bevorzugte Wortlänge hängt in erster Linie von der gewünschten Taktfrequenz ab. Das gewählte Datenwort ist mit der aus dem Teiler 3 abgeleiteten Taktfrequenz getaktet. Das Datenwort wird ständig wiederholt, beispielsweise über mehrere

Minuten bis zu 24 Stunden.

Im anschließenden Leitungscodierer 5 wird die erzeugte Impulsfolge in den gewünschten Leitungscode umgewandelt, z. B. einem NRZ-, AMI- oder HDB-3-Code. Dieser Leitungscode kann abhängig von der Übertragungsstrecke frei gewählt werden.

An den Leitungscodierer 5 schließt sich eine Ausgangsstufe 6 an, die beispielsweise auch aus mehreren parallelen Ausgangsstufen bestehen kann, und die Anpassungseinrichtungen, Treiber und Filter für die zu prüfende Übertragungsstrecke enthält.

Das auf die Übertragungsstrecke gegebene Signal wird vorzugsweise in einer entfernten Empfangsstation zurückgeschaltet, so daß es über einen parallelen Übertragungskanal zum Bitfehlermeßgerät zurückgeführt werden kann. Der Empfangsteil besteht aus einer Eingangsstufe 8, in der das Signal zusätzlich invertiert wird. In der nachgeschalteten Impulsaufbereitungsstufe 9 wird für jeden Zustandswechsel des Datenstromes von "0" nach "1" ein Impuls definierter Länge erzeugt. Dieser Impuls führt auf eine Taktgewinnungsschaltung 10. Der aus dem Empfangssignal gewonnene Takt kann unmittelbar zur Taktsteuerung der nachgeschalteten Einrichtungen verwendet werden. Da aber die Anzahl der maximal erlaubten, aufeinander folgenden gleichen Zustände von der benutzten Leitungscodierung abhängt, ist es nicht in jedem Fall gewährleistet, daß aus dem empfangenen Signal ein Taktsignal abgeleitet werden kann. Die Erfindung sieht daher vor, daß dem sendeseitig verwendeten PLL-Frequenzsynthesizer zusätzlich ein programmierbarer Teiler 7 nachgeschaltet ist, der einerseits durch das von der Taktgewinnungsschaltung 10 bzw. der Impulsaufbereitungsstufe 9 abgegebene Taktsignal getriggert wird, aber andererseits bei Fehlen dieses Taktsignals selbst retriggerbar ist. In diesem Fall wird das Ausgangssignal des programmierbaren Teilers 7 zur Taktbestimmung der nachfolgenden Empfangsstufen verwendet. Damit steht auch ein Taktimpuls zur Verfügung, wenn im Datenstrom kein Zustandswechsel erfolgt.

Im Decodierer 11 wird die im Sendeteil vorgenommene Leitungscodierung rückgängig gemacht. Ferner wird hier das Signal auf Überschreitung der maximalen Anzahl aufeinanderfolgender gleicher Zustände überwacht. Jede Überschreitung (AIS) wird vom Rechner registriert und zur Anzeige gebracht. Bei Vorliegen einer Überschreitung wird der Übertragungskanal als nicht funktionsfähig betrachtet und die Bitfehlerratenmessung wird für die Zeit des Vorliegens des AIS-Signals unterbrochen. Da es in diesem Fall in der Regel nicht möglich ist, daß ein Taktsignal aus dem Empfangssignal gewonnen wird, erlaubt es die erfindungsgemäße Einrichtung, gleichwohl ein Taktsignal zur Verfügung zu stellen und die Möglichkeit zu geben, ein eindeutiges AIS-Signal zu erzeugen. An den Decodierer 11 schließt sich ein Vergleichler 12 an, der insbesondere als rückgekoppeltes Schieberegister ausgebildet ist. Hierin werden zwei oder mehr aufeinander folgende Worte miteinander verglichen und auf Fehler geprüft. Die aufgetretenen Fehler werden im anschließenden Zähler 13 aufsummiert und an den Rechner 1 übermittelt. Die Auswertung des Meßergebnisses erfolgt vorzugsweise im Rechner 1 mit angeschlossener Anzeigeeinheit. Es ist noch ein Netzteil 14 dargestellt, das der Stromversorgung des Geräts dient.

Die in Fig. 2 dargestellte Schaltungsanordnung zeigt den PLL-Frequenzsynthesizer 2 mit nachgeschaltetem umschaltbaren Teiler 3. Der PLL-Frequenzsynthesizer

weist ein PLL-Steuer-IC 18 auf, das quarzgesteuert ist. Dem Steuer-IC ist ein variabler Frequenzoszillator 19 nachgeschaltet, dessen Ausgangssignal über eine Koppelstufe 20 auf den umschaltbaren Teiler 3 gegeben wird, der als 8-Bit-Binarzähler ausgebildet ist. Jeweils nach Erreichen des maximalen Zählwertes wird ein Impuls auf den Patterngenerator 4 abgegeben. Die Teilungsrates des Teilers 3 sowie die Frequenz des PLL-Frequenzsynthesizers lassen sich durch den verwendeten Rechner 1 vorgeben bzw. einstellen.

Fig. 3 zeigt die Schaltungsanordnung zur Regenerierung des Taktsignals auf der Empfangsseite. In der Eingangsstufe 8 wird aus dem empfangenen Signal zusätzlich ein inventiertes Signal gebildet, dessen Flanken zeitlich etwas auseinander liegen. Wenn beide Signale auf das NOR-Gatter 15a geleitet werden, entsteht am Ausgang dieses NORs eine Pulsfolge, die durch die Zeitdifferenz zwischen dem direkt empfangenen und dem invertierten empfangenen Signal bestimmt ist. Die Taktfrequenz ändert sich dadurch nicht. Die Impulslänge hängt von den verwendeten Gattern sowie der Taktfrequenz ab. Zum Ausgleich dieser Impulslängen-Verschiebung wird die am Ausgang des NORs 15b anliegende Impulsfolge zusätzlich über zwei NOR-Gatter 16a und 16b verzögert. Verzögerte und unverzögerte Impulsfolge werden auf das NAND 16c gegeben, an dessen Ausgang die erscheinende Impulsfolge auch bei unterschiedlichen Taktfrequenzen annähernd eine gleiche Impulslänge aufweist.

An dem PLL-Frequenzsynthesizer 2 ist nicht nur der umschaltbare Teiler 3 der Sendestufe, sondern außerdem ein programmierbarer Teiler 7 für die Empfangsstufe angeschlossen. Dieser besteht insbesondere aus einem 2stufigen Zähler mit einem Teilungsverhältnis von jeweils 1 : 2 bis 1 : 16. Es ist ein NOR 15c vorgesehen, über das jeweils die Zähler 17a und 17b bei Überlauf des zweiten Zählers 17b zurückgesetzt werden. Das Teilungsverhältnis des Teilers läßt sich durch den Rechner 1 einstellen und hängt im wesentlichen von der verwendeten Frequenz des PLL-Synthesizer ab, die beispielsweise 90 — 180 MHz beträgt.

Der Ausgang des ersten Zählers 17a führt ferner auf den Eingang des zweiten Zählers 17b. Der Ausgang des zweiten Zählers 17b führt auf das NOR 15c, auf dessen anderen Eingang die aus dem NAND 16c abgeleitete Impulsfolge des Eingangssignals aufgeschaltet ist. Am Ausgang des NORs 15c entsteht somit eine Impulsfolge, die sowohl durch die Überlaufimpulse des Zählers 17b als auch durch die Impulse des Eingangssignals bestimmt sein kann. Wenn beispielsweise ein Impuls des Eingangssignals am Ausgang des NORs 15c einen Impuls erzeugt, werden die Zähler zurückgesetzt, so daß die aus dem Zähler 17b auslaufende Impulsfolge danach mit der Impulsfolge des Ausgangs des NANDs 16c synchronisiert ist, sofern die Taktfrequenzen der dem Teiler 17b entstammenden Impulsfolge und die Taktfrequenz des Eingangssignals im wesentlichen übereinstimmen.

Wenn nun im empfangenen Eingangssignal aufgrund der Art des verwendeten Codes bzw. Datenwortes keine Taktimpulse vorliegen, wird die Impulsfolge am Ausgang des NORs 15c allein durch die Takte des Zählers 17b bestimmt, bis wieder Taktimpulse aus dem Eingangssignal vorliegen.

Die am Ausgang des NORs 15c anliegende Impulsfolge wird nach Invertierung den nachfolgenden Empfängerstufen des Eingangsteils zugeführt, um dort beispielsweise die Decodierung des Leitungscodes zu bewirken oder das Auftreten unzulässiger Codelängen-

überschreitungen festzustellen (AIS).

Anstelle eines 2stufigen Teilers 7 kann auch ein mehrstufiger Teiler verwendet werden. Dabei bestimmt die Teilungsrates den möglichen Arbeitsbereich.

Da die aus dem PLL-Synthesizer 2 abgeleitete Frequenz sowohl der Sendestufe als auch der Empfangsstufe zugeführt wird, entstehen keine Taktfrequenzverschiebungen zwischen der Taktfrequenz des Teilers 7 und der Taktfrequenz der empfangenen Impulsfolge, sofern die Teilungsverhältnisse des Teilers 3 und des Teilers 7 identisch sind. Für den Fall, daß die Sendefrequenz nicht verwendet werden kann, beispielsweise wenn eine Bitfehlerrate auf einer Übertragungsstrecke festgestellt werden soll, die nur einseitig gerichtet ist, ist die zu verwendende Synthesizerfrequenz an die Taktfrequenz der Eingangsimpulse anzupassen. Hierbei kann vorgesehen sein, daß die Eingangsimpulsfolge die Frequenz des PLL-Synthesizer steuert. Dabei bleibt die Frequenz des Synthesizer so lange auf einem bestimmten Wert festgelegt, bis aus dem Eingangssignal die Taktfrequenz erneut entnehmbar ist.

Die gesamte Schaltungsanordnung nach der Erfindung kann in EPLD-Technik hergestellt werden, so daß der Schaltungsaufbau zu einem großen Teil in einem herstellerbezogenen Chip integriert werden kann. Neben dem wirtschaftlichen Vorteil kann so auch eine Miniaturisierung erreicht werden.

#### Bezugszeichenliste

- 1 Mikrocomputer
- 2 PLL-Frequenzsynthesizer
- 3 umschaltbarer Teiler
- 4 Patterngenerator
- 5 Leitungscodierer
- 6 Ausgangsstufe
- 7 programmierbarer Teiler
- 8 Eingangsstufe
- 9 Impulsaufbereitungsstufe
- 10 Taktgewinnungsstufe
- 11 Decodierer
- 12 Vergleicher
- 13 Fehlerzähler
- 14 Netzteil
- 15 schnelles NOR
- 16 schnelles NAND
- 17 2stufiger programmierbarer Zähler
- 18 PLL-Steuer-IC
- 19 variabler Frequenzoszillator
- 20 Koppelstufe
- 21 8-Bit-Binarzähler
- 22 8-Bit Digital Multiplexer

#### Patentansprüche

1. Bitfehlermeßgerät zur Ermittlung der Bitfehlerrate digitaler Signalübertragungsstrecken, mit einem PLL-Frequenzsynthesizer (2), mit dessen Ausgangsfrequenz nach Frequenzteilung (3) die Taktfrequenz eines Meßsignals bestimmt ist, wobei das Meßsignal ein wählbares Datenwort aufweist, das wiederholt auf die Übertragungsstrecke gegeben wird, und das am Ende der Übertragungsstrecke empfangene Signal auf Übereinstimmung mit dem ausgesendeten Signal bzw. Richtigkeit geprüft wird, dadurch gekennzeichnet, daß der Takt des empfangenen Signals durch Auswertung der Signalübergänge des empfangenen Signals regene-

riert wird und daß in Zeitbereichen mit fehlenden Signalübergängen im empfangenen Signal der Takt aus der geteilten Frequenz des oder eines von der Taktfrequenz des Meßsignals gesteuerten weiteren PLL-Frequenzsynthesizers (2) gewonnen wird, und daß das am Ende der Übertragungsstrecke empfangene Datensignal nach der Taktregenerierung einem rückgekoppelten Schieberegister (12) zugeführt wird, wodurch aufeinanderfolgende Datenworte miteinander auf Übereinstimmung verglichen werden können.

2. Bitfehlermeßgerät nach Anspruch 1, dadurch gekennzeichnet, daß das Ausgangssignal des PLL-Frequenzsynthesizer (2) einem ersten umschaltbaren Teiler (3) zugeführt ist, dessen Ausgangssignal die Taktfrequenz des Meßsignals bestimmt, und daß das Ausgangssignal des PLL-Frequenzsynthesizers ferner einem zweiten programmierbaren Teiler (7) zugeführt ist, dessen Phasenlage durch die Phase der aus dem Empfangssignal am Ende der Übertragungsstrecke abgeleiteten Taktfrequenz bestimmt ist.

3. Bitfehlermeßgerät nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das wählbare Datenwort wahlweise im NRZ-, AMI- oder HDB-3-Leitungscode auf die Übertragungsstrecke gegeben wird.

4. Bitfehlermeßgerät nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine Einrichtung (11) zur Erkennung einer Signalfolge mit einer größeren Zahl von logischen Zuständen im empfangenen Datensignal als für einen gewählten Leitungscode zulässig vorgesehen ist, und daß bei Auftreten einer derartigen Signalfolge die Messung der Bitfehlerrate unterbrochen ist.

Hierzu 3 Seite(n) Zeichnungen

40

45

50

55

60

65

Fig. 1

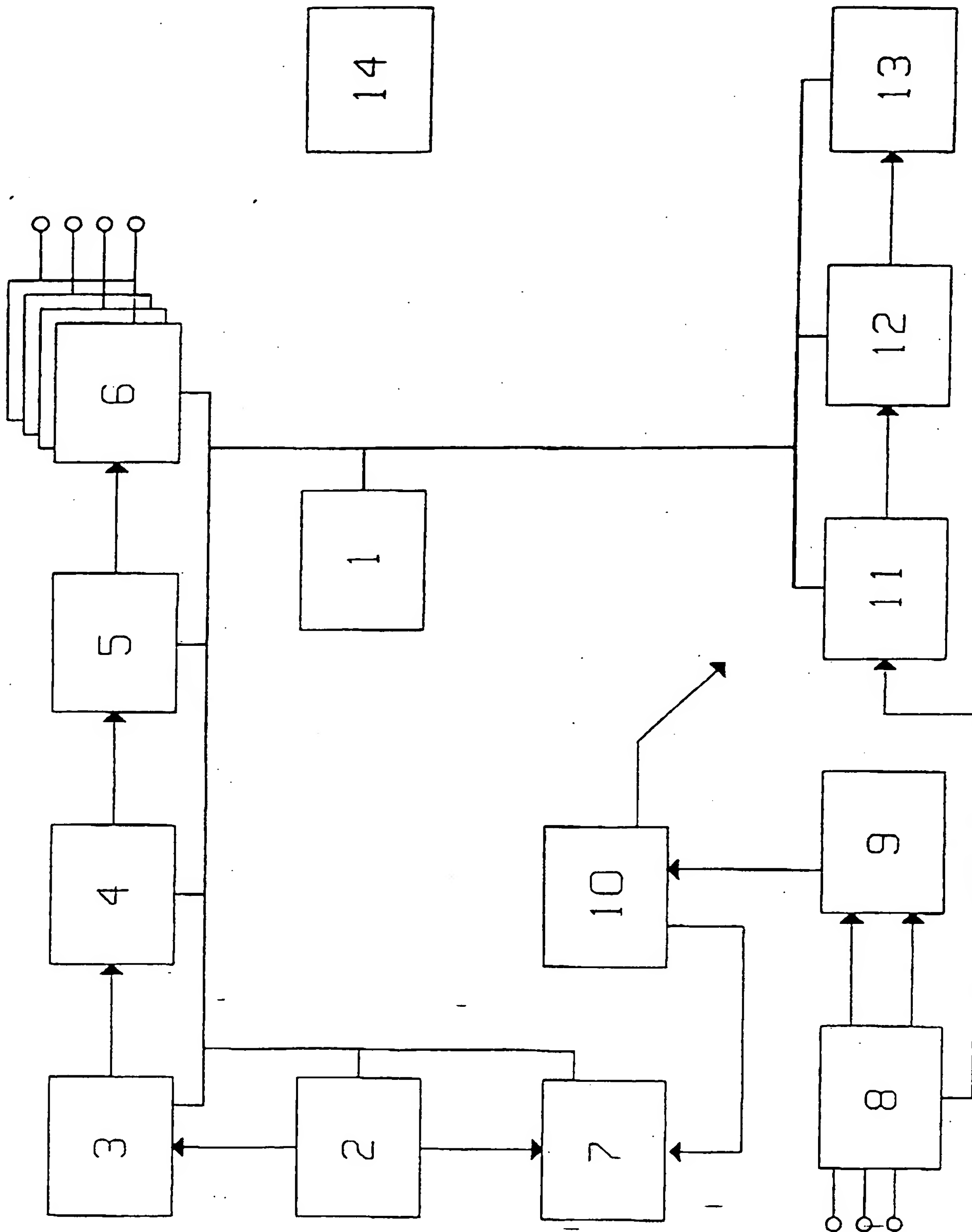


Fig. 2

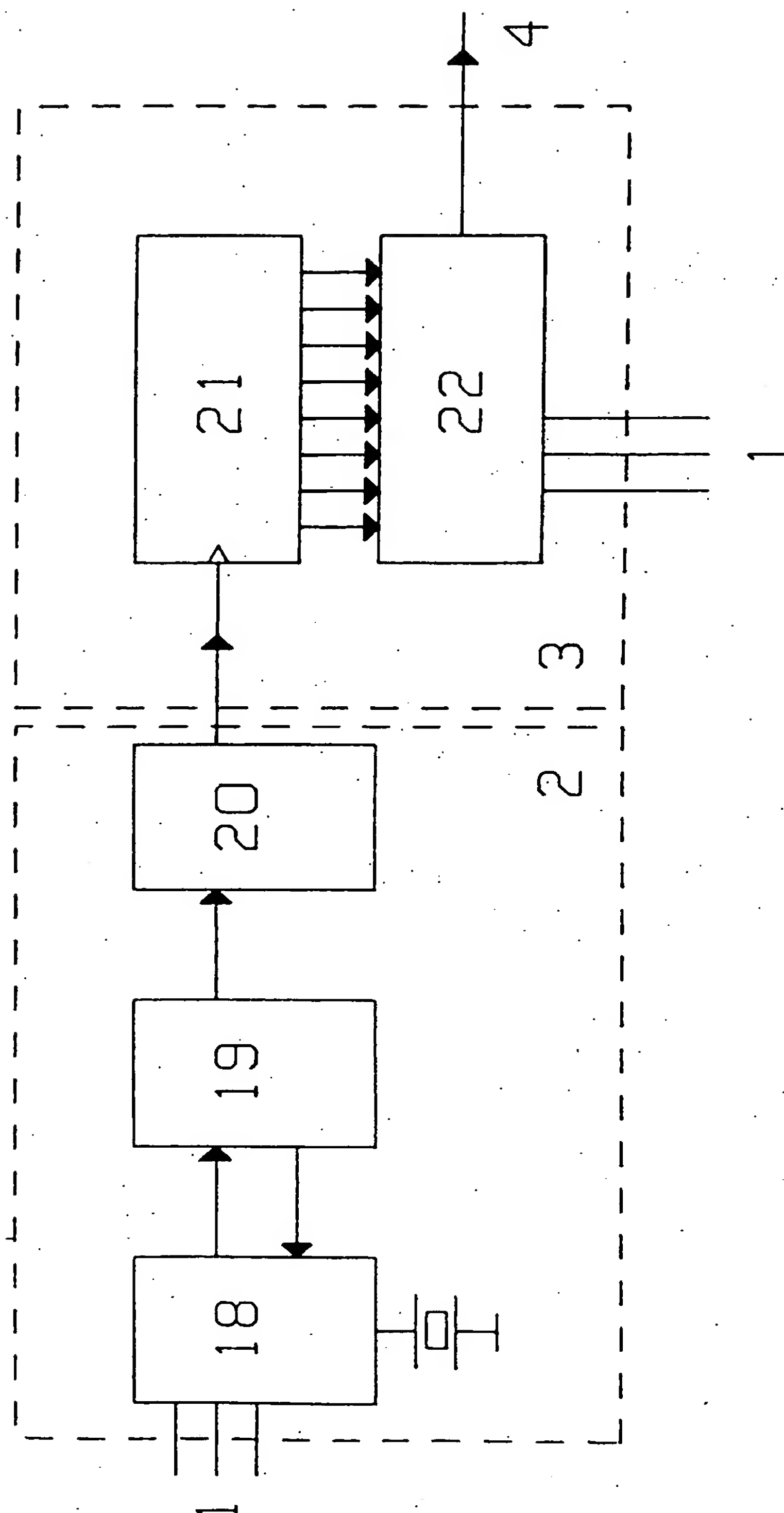


Fig. 3

